

## Vorlesung 7

### PLL

#### Folie 2

\*\*\*

In modernen Digitalschaltkreisen erfolgt die Taktsynchronisation üblicherweise durch PLLs.

Ein einziger Quarzoszillator liefert den Grundtakt, auf den alle weiteren Taktsignale phasengenau synchronisiert werden.

#### Folie 3

\*\*\*

Wir betrachten ein System mit einem Digitalblock der die 8-bit Daten bearbeitet. Das Ergebnis soll an einen anderen Chip übertragen werden. Dabei soll die Zahl von Leitungen zwischen den Chips minimiert werden.

#### Folie 4

\*\*\*

Für diese Aufgabe gibt es einige Lösungen:

Synchrones Design/Parallele Datenübertragung:

1. Chip 2 sendet einen Referenz-Taktsignal, z.B. über eine Differenzleitung. Die Daten werden vom Chip 1 zum Chip 2 seriell über eine Differenzleitung gesendet.

Nehmen wir an, dass der Digitalblock die 8-bit Daten mit 100MHz Takt bearbeitet. Das bedeutet, dass das Ergebnis einmal in 10ns auf dem Parallelausgang auftaucht.

#### Folie 5

\*\*\*

Wir könnten die Daten parallel an Chip 2 übertragen aber das ist oft unpraktisch da man viele Leitungen braucht. Z.B. 16 im Fall von Differenzdatenübertragung.

## Folie 6

\*\*\*

Deswegen werden die Daten üblicherweise seriell übertragen.

In dem Fall brauchen wir für die Daten nur eine Leitung.

## Folie 7

\*\*\*

Einen Serialisierer realisiert man am einfachsten als ein Schieberegister, mit der Möglichkeit die Daten parallel zu laden. Die Schaltung eines Bits ist auf der Folie gezeigt. Wenn das Signal PEn Eins ist, selektiert der Multiplexer den Paralleleingang. Also, bei PEn = 1 und auf die steigende Taktflanke wird eine 8-Bit Zahl ins Register geladen. Auf PEn = 0 werden die Daten bitweise zum Ausgang geschoben. PEn soll genau ein Takt lang Eins sein.

## Folien 8 und 9

\*\*\*

Wenn der Digitalteil mit 100MHz getaktet wird (slow clock) muss also der Serialisierer mit 800MHz getaktet werden (fast clock). Das Zeitdiagramm ist auf der Folie 9 gezeigt. Das Signal PEn sollte im Moment aktiv werden wo die Daten am Paralleleingang stabil sind. Eine Möglichkeit ist es PEn = 1 um die Fallende 100MHz Takt Flanke (slow clock) zu positionieren.

## Folie 10

\*\*\*

Am einfachsten wäre es, dass der Chip 2 sowohl slow- als auch fast-Takt sendet. In den folgenden Folien wird gezeigt, wie es mit nur einem Takt funktioniert.

### Möglichkeit 1:

Der Chip 2 sendet den 800MHz fast clock.

In diesem Fall muss der slow Takt auf dem Chip 1 generiert werden. Dafür brauchen wir einen Takt-Untersetzer – clock divider.

## Folie 11

\*\*\*

Erinnern wir uns an die Vorlesung 5 und den ripple counter. Die Schaltung wird nochmal auf der Folie 11 gezeigt. Man kann einen 3-Bit ripple counter verwenden um aus dem 800MHz Takt einen 100 MHz Takt zu erzeugen.

## Folie 12

\*\*\*

Wie erzeugen wir das Signal PEn? Eine Möglichkeit ist auf der Folie 12 gezeigt. Die Schaltung mit einem Flipflop und einem AND ist ein Flankendetektor. Der Ausgang der Schaltung ist Eins für eine fast clock Periode nach der fallenden slow clock Flanke.

## Folie 13

\*\*\*

Der Deserialisierer würde auf die ähnliche Weise funktionieren. Die Bits aus dem Schieberegister werden auf  $PLd = 1$  und auf die nächste Taktflanke in ein Parallelregister (Reg) geladen.

Folie 14

\*\*\*

Folie 14 zeigt den Zeitdiagramm.

Folien 15 und 16

\*\*\*

Die Datenbearbeitung und die Datenübertragung würden auf diese Weise zwar funktionieren aber das System hat zwei Nachteile.

Die Phase des Ripple Zählers auf dem Chip 1 ist unbekannt. Der Chip 2 „weiß nicht“ wann MSB gerade gesendet wird. PEn ist nicht synchron mit PLd.

Man kann sich normalerweise nicht auf das Zählen von schnellen Taktsignalen verlassen. Der Grund ist das nach dem Einschalten der Anfangszustand vom ripple counter unbekannt ist.

Folie 17

\*\*\*

Dieser Nachteil ist oft nicht so kritisch, da die digitalen Schaltungen normalerweise in einen Testmodus versetzt werden können, wo sie die definierten Test-Muster senden. Der Chip 2 kann dann die Phase von PLd variieren bis die Daten korrekt empfangen werden.

Folie 18

\*\*\*

Der zweite Nachteil ist es dass man das schnelle Taktsignal senden muss. Die Übertragung von schnellen Signalen ist nicht einfach. Die Signale werden in der Datenleitung verzerrt da die Leitung oft auch als Tiefpass-Filter wirkt. Beachten wir, dass sich das Taktsignal sogar 2x schneller ändert als die Daten selbst. Das ist in der Folie 18 gezeigt. Dieser Unterschied ist bei schneller Datenübertragung bedeutender.

Folien 19 und 20

\*\*\*

Um diese zwei Nachteile zu beheben, kommen wir zu der Möglichkeit 2

Der Chip 2 sendet das langsame 100MHz Taktsignal. Das schnelle Taktsignal wird mit einem Takt Multiplizierer auf dem Chip 1 erzeugt. Dabei sind die Taktsignale phasengenau synchronisiert. Der erste Vorteil ist es, dass man nur das langsame clock übertragen muss. Ein weiterer Vorteil ist, dass die Phase vom PEn Signal auch auf dem Chip 2 bekannt ist. Man kann nämlich  $PEn = 1$  mit einem Flankendetektor aus der slow clock fallender Flanke erzeugen. Da der Chip 1 slow clock sendet, kennt er auch die Phase vom  $PEn = 1$  und kann die Daten richtig abtasten.

Folie 21

\*\*\*

Ich werde mich im Weiteren mit dem Aufbau des Takt-Multiplizierers befassen. Diese Schaltung wird als PLL (Phase Locked Loop oder Phasenregelschleife) realisiert.

Folien 22 - 24

\*\*\*

Das Eingangselement jeder PLL ist ein Phasendetektor.

Der Phasendetektor vergleicht die Phase des Referenztakts, in unserem Fall ein 100MHz Takt, mit der Phase des erzeugten Takts. (Manchmal wird der erzeugte Takt um einen Faktor untersetzt.)

Phasendetektor erzeugt die UP und DOWN Signale, je nachdem ob die Phase des erzeugten Takts kleiner oder größer ist als die Phase des Referenztakts. Anders gesagt, wenn der erzeugte Takt verspätet ist wird UP erzeugt und wenn der Takt zu früh kommt wird DOWN erzeugt. Die Pulsweite ist gleich wie die Verspätung, bzw. die Phasendifferenz.

Folie 25

\*\*\*

Der Hauptteil der PLL ist ein spannungsgesteuerter Oszillator – VCO. Dieser Oszillator oszilliert mit einer variablen Frequenz. Die Frequenz ist zur Eingangsspannung proportional. So höher die Spannung ist desto schneller oszilliert der Oszillator.

Eine Alternative zum spannungsgesteuerten Oszillator ist ein digitaler Oszillator. Seine Frequenz ist zur digitalen Eingangsvariable proportional.

Folie 26

\*\*\*

Aus der Oszillator-Frequenz wird der erzeugte Takt hergeleitet. (In unserem Fall 800MHz) Dieser Takt wird mit einem clock divider untersetzt. (In

unserem Fall um Faktor 8. Der untersetzte Takt wird an den Phasendetektor angeschlossen.

Folien 27 - 30

\*\*\*

Die PLL ist eine Phasenregelschleife – ein System mit Gegenkopplung. Das System funktioniert wie folgend:

Wenn der erzeugte und der untersetzte Takt verspätet sind (in Bezug auf die Referenz) werden vom Phasendetektor die UP-Signale erzeugt.

Die UP-Signale führen dazu, dass die VCO-Eingangsspannung steigt und der Oszillator schneller wird.

Es ist die Aufgabe der Ladungspumpe, aus den UP- und DOWN-Signalen die Spannung zur VCO-Ansteuerung zu erzeugen. Im Fall von einem digitalen Oszillator, kann ein Zähler benutzt werden.

Wenn der erzeugte Takt vor eilt, werden vom Phasendetektor die DOWN-Signale erzeugt. Die VCO-Eingangsspannung sinkt, der Oszillator wird langsamer.

Folie 31

\*\*\*

Eine Implementierung des Phasendetektors ist auf Folie 31 zu sehen:

Die Schaltung mit D-FFs wird auch als "Phase-Frequency Detector" bezeichnet.

Betrachten wir die Waveforms:

Der Referenztakt ist verspätet.

Flipflop 2 kommt in 1 Zustand auf die steigende Flanke vom erzeugten Takt. DOWN wird erzeugt. Flipflop 2 kommt in 1 Zustand auf die steigende Flanke vom Referenztakt. UP wird erzeugt. Allerdings wenn beide FF-Ausgänge "1" werden, erfolgt ein Reset beider FFs. Deswegen ist das Signal UP deutlich kürzer.

Folie 32

\*\*\*

Auf ähnliche Weise funktioniert die Schaltung wenn Referenztakt früher kommt.

Folie 33

\*\*\*

Der Oszillator kann auch auf verschiedene Art und Weise aufgebaut werden.

Die zwei häufigsten Varianten sind der Ringoszillator und der LC-Oszillator.

Der Ringoszillator ist eine Kette von Invertern. Es ist dabei wichtig dass die Zahl der Inverter ungerade ist.

Folie 34

\*\*\*



Wenn die Zahl von Invertern gerade wäre, hätten wir stabile Arbeitspunkte, wie bei einer RAM Zelle. Die Schaltung würde nicht oszillieren.

## Folie 35

\*\*\*

Wenn wir aber ungerade Zahl von Invertern haben, ändern sich die Zustände wie in der Folie dargestellt. Die Dauer eines Zustands entspricht der Verzögerung des Inverters. Es zeigt sich dass der Oszillator stabiler oszilliert wenn es in der Kette mehr als 5 Invertern gibt. Zu viele Inverter sollten wir nicht haben, da dann die Periode zu langsam wäre. Die Frequenz des Oszillators ist durch die Formel bestimmt:

$$F = 2 * n * \text{Delay}$$

N ist die Anzahl der Inverter. Delay ist die Verzögerung eines Inverters.

## Folie 36

\*\*\*

Wie wird die Frequenz geändert? Normalerweise wird der Inverter durch zwei Transistoren erweitert, die als variable Widerstände dienen. Der Widerstand wird mithilfe von Gate Spannung variiert. Wenn der Widerstand niedriger ist, dauert die Umladung der Kapazitäten kürzer und Verzögerung einer Stufe ist kleiner. Frequenz wird höher.

Die Frequenz eines Ringoszillators kann im großen Bereich verändert werden. Der Nachteil der Ringoszillators ist Jitter. Auch wenn die

Eingangsspannung konstant ist, schwankt die Frequenz: Der Grund ist das Rauschen in den Transistoren und die Schwankungen an Versorgungslinien.

## Folie 37

\*\*\*

Ein LC Oszillator hat weniger jitter. Die Spulen (Induktoren) und die Kapazitäten können auf dem Chip implementiert werden. Die Frequenz kann durch Umschalten von zusätzlichen Kapazitäten verändert werden. LC Oszillator ist also oft digital gesteuert.

Wir wissen, dass die Oszillationen einer realen LC-Schaltung wegen dem Innenwiderstand der Spule nach einer Weile abklingen. Um einen Oszillator zu bauen, brauchen wir eine aktive Schaltung die den Widerstand kompensiert. Eine solche Schaltung wird auf der Folie gezeigt. Die Schaltung erzeugt einen negativen Widerstand der den Innenwiderstand der Spule aufhebt.

## Folie 38

\*\*\*

Schließlich kommen wir zu der Schaltung welche aus UP- und DOWN-Signalen den Oszillator-Eingang erzeugt.

Die einfachste Möglichkeit ist eine Ladungspumpe. Die Schaltung wird auf der Folie gezeigt. Das UP-Signal schaltet eine Stromquelle (einen PMOS Transistor) an eine Kapazität. Der Kondensator wird aufgeladen, die Spannung steigt für eine definierte Zeit.

Auch eine digitale Implementierung ist möglich. Auf jedes UP-Signal zählt ein Zähler hoch auf DOWN-Signal runter. Der Zählstand kann als Ansteuerung eines LC Oszillators verwendet werden.

Folie 39

\*\*\*

Das Ausgangssignal der Ladungspumpe muss nun noch über eine Tiefpassschaltung gefiltert werden. Im Fall von digitalen PLLs wird ein Digitalfilter verwendet.

Die Aufgabe des Filters ist es auch die Stabilität zu sichern. Die Stabilitätsanalyse wird auf die gleiche Weise durchgeführt, wie in den analogen Schaltungen mithilfe des Stabilitätskriteriums von Nyquist. Dabei wird berücksichtigt, dass die Phase das Integral der Frequenz ist. Also Phasendetektor verhält sich frequenzmäßig wie ein Integrator.